



FIG. 1

FIG. 2

FIG. 3

	Z0	Z1	Zr1	P0	P1	A0	A0hp	A1	A2	A2hp	A3
INITIAL STATE	$A_R[1]$	$A_l[1]$	$A_R[1]$	$B_R[1]W_R[1]$	$B_l[1]W_l[1]$						
CYCLE #1	$A_R[2]$	$A_l[2]$	$A_R[1]$	$B_R[1]W_R[1]$	$B_l[1]W_l[1]$	$OUT0[1]$		$OUT2[1]$	$OUT2[1]$	$OUT3[1]$	
CYCLE #2	$A_R[2]$	$A_l[2]$	$A_R[2]$	$B_R[2]W_R[2]$	$B_l[2]W_l[2]$						
CYCLE #3	$A_R[3]$	$A_l[3]$	$A_R[2]$	$B_R[2]W_R[2]$	$B_l[2]W_l[2]$	$OUT0[2]$		$OUT1[1]$	$OUT2[2]$	$OUT2[2]$	$OUT3[2]$
CYCLE #4	$A_R[3]$	$A_l[3]$	$A_R[3]$	$B_R[3]W_R[3]$	$B_l[3]W_l[3]$			$OUT0[1]$	$OUT1[2]$	$OUT2[3]$	$OUT3[3]$
CYCLE #5	$A_R[4]$	$A_l[4]$	$A_R[3]$	$B_R[3]W_R[3]$	$B_l[3]W_l[3]$	$OUT0[3]$		$OUT1[2]$	$OUT2[3]$	$OUT3[3]$	$OUT3[3]$
CYCLE #6	$A_R[4]$	$A_l[4]$	$A_R[4]$	$B_R[4]W_R[4]$	$B_l[4]W_l[4]$			$OUT0[3]$	$OUT1[3]$	$OUT2[4]$	$OUT3[4]$
CYCLE #7	$A_R[5]$	$A_l[5]$	$A_R[4]$	$B_R[4]W_R[4]$	$B_l[4]W_l[4]$	$OUT0[4]$					
CYCLE #8	$A_R[5]$	$A_l[5]$	$A_R[5]$	$B_R[5]W_R[5]$	$B_l[5]W_l[5]$						
CYCLE #9	$A_R[6]$	$A_l[6]$	$A_R[5]$	$B_R[5]W_R[5]$	$B_l[5]W_l[5]$	$OUT0[5]$		$OUT0[4]$	$OUT1[4]$	$OUT2[5]$	